

リンクサーキット株式会社

(<http://www.link-circuit.co.jp>)

リンクサーキット株式会社は、高周波回路（高周波アナログ・高速デジタル）のプリント基板設計技術について、埼玉県産業技術総合センターと共同研究を行うことで技術やノウハウを蓄積して、お客様の要求にお応えできるよう日々努力を重ねています。

この「高速メモリ回路(DDR・DDR2・DDR3・DDR4)の基板設計・評価に関する研究」はリンクサーキット株式会社が埼玉県産業技術総合センターの本多研究員との共同研究を行い、その研究成果物として報告されたものです。

高速メモリ回路基板の設計・評価に関する研究

本多春樹* 戸枝 保* 萩原 玄** 猪瀬 譲**

A Study on Developing and Designing Printed Circuit Board of High-speed Memory

HONDA Haruki*, TOEDA Tamotsu*, HAGIWARA Gen**, INOSE Yuzuru**

抄録

高速メモリに対応したプリント基板を開発するには、厳しいタイミングの制約をクリアすることが必須である。配線間の遅延時間の変動の要因は様々であるが、本研究ではミアンダ、クロストーク及びスルーホールを対象とした。

クロストークにおいては、遅延時間の変動幅が、2線の長さに比例し、2線間の距離に反比例する結果を得た。

ミアンダにおいては、一定の規模のミアンダにおいて、遅延時間の計算値からの短縮はコーナーの回数を抑え、配線間の距離を広くしたほうが減少する結果を得た。

スルーホールにおいては、単純な配線長さにより見積もられる遅延時間よりも遅延が増加する結果を得た。

キーワード：DDR、タイミングバジェット、タイミング制約、クロストーク、ミアンダ、スルーホール、遅延時間、タイムドメイン、逆フーリエ変換、信号品質

1 はじめに

DDRメモリは汎用PCの市場では普及が進んでいるが、各用途にカスタマイズされた組込機器向けにも用いられる機会が増えつつある。動作基板のリファレンスデザインはJEDEC¹⁾から公開されているものの、PC用のモジュールのものであるため、組込機器においては個別に設計をしなければならない。しかしながら、高速動作を実現するためには、高周波特性を意識した設計が必要であり、従来の基板設計以上に専門知識・ノウハウが求められている。

DDR2において、クロック-データ間のタイミングを制約する要因には送信・受信デバイス側

セットアップ・ホールド時間と基板側のスキューなどが挙げられる。更に、基板側のスキューに関していえば、以下の要因が挙げられる²⁾。

- ・ ISI (シンボル間干渉)
- ・ クロストーク
- ・ 配線長不整合

DRAM製造メーカーの設計例によれば、266 MHzクロックにおいて、データ信号 (DQ) 間のクロストークの時間変動許容値 (以下、タイミングバジェットとよぶ) は、理想的なDQSに対して±55 ps、配線長不整合においては±25 psと非常に厳しい²⁾。

本研究ではクロストークと配線長不整合 (ミアンダ、スルーホール) に関して、実験基板を作成し、遅延時間の変動と上記のタイミングバジェットとの比較を行った。

* 試験研究室 電子技術・電磁波測定担当

** リンクサーキット (株)

① 2つの線路に同方向の信号を入力したときのクロストークについて評価を行った。被誘導ラインの立ち上がり時間は誘導ラインの信号の状態により変動することが知られている³⁾。立ち上がり時間の変動により、遅延時間についても変動が生じる。このときの遅延時間の最大値と最小値の差(以下、遅延時間の変動幅)について検証を行った。

② 配線長不整合に対しては、ミアンダにより配線長の補正を行うことが用いられているが、幾何学的な配線長と電気的な長さは異なる。そのため幾何学的な等長配線をおこなっても、意図したとおり遅延を補正することが出来ない。そこで、本研究ではミアンダによる遅延時間の変化について検証を行った。

③ また、DDR2において多層基板が用いられるため、スルーホールが遅延時間に与える影響についても検証を行った。

2 実験方法

前章の①～③について、基板を作製してネットワークアナライザ(8753ES アジレント製)を用いて計測を行った。

基板に実際の信号を入力して出力信号を測定した場合、入力信号の品質や接続ケーブルが基板の評価の誤差となるおそれがある。したがって、実験方法としては、ネットワークアナライザで基板のSパラメータを実測し、これに基づき計算機上で入力波形に対する出力波形を算出し、遅延時間などの評価を行った(図1)。

入力信号波形は、周波数 200MHz 立ち上がり時間 1ns、振幅 1.8V とし、遅延時間の評価に用いる閾値(low→high)は1.15Vとした。配線幅は0.2mm、誘電体の厚みは0.1mmでFR-4を用いた。①～③の各基板のパラメータは以下のとおり。

① クロストーク基板

2本の平行なマイクロストリップラインの長さL、線間の距離Dを以下の組み合わせで変化させた。(単位はmm)

$$(L,D) = (30,0.6), (30,0.4), (30, 0.2),$$

$$(80,0.4), (80,0.2).$$

② ミアンダ基板

図2に示すとおり、コーナーの個数n、蛇行の幅h、内部の線間距離wについて、以下の組み合わせで変化させた。(単位はmm)

$$(n,h,w) = (8,10,0.6), (8,10,0.4), (8,10,0.2), (4,20,0.6), (4,20,0.6), (4,20,0.4), (4,20,0.2).$$

③ ルーホール基板

スルーホールのホール径および個数を変化させた(図3)。ホール径が0.3mmのときに、個数を0個、2個、4個に変化させた。また、スルーホールの個数が4個のときにホール径を0.3mm,0.2mm,0.1mmに変化させた。

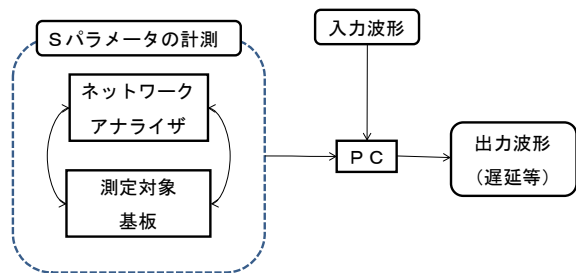


図1. 実験方法の概念図

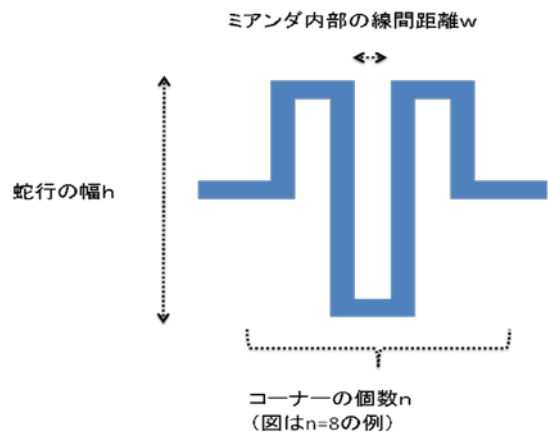


図2. ミアンダのパラメータ.



図3. スルーホール基板.
4層基板を信号線に沿って切断した面。
両面に内部の2層にグランドプレーンをもつ。
スルーホールの個数2の例。
スルーホールの直径も変化させる。

3 結果及び考察

3.1 クロストーク

2線の線長と遅延時間の変動幅のあいだには比例の関係(図4)、2線間の距離と遅延時間の変動幅のあいだには反比例の関係(図5)がたしかめられた。

シミュレータ(sonnet lite plus, Sonnet Software inc.)を用いて同様の条件でSパラメータを求め、遅延時間の変動幅を評価したところ同様の傾向がみられた(図6、図7)。

3.2 ミアンダ

ミアンダにおいて、幾何学的に等しい配線長の直線と比較すると遅延時間が短縮する現象がみられた。ミアンダの条件と、短縮した時間(遅延短縮)を表1にまとめた。

表1から遅延短縮を抑えるには以下のことが条件であることがわかる。

- ・コーナーの個数を抑える
- ・蛇行の振幅を抑える
- ・線間距離をひろげる

さらに、表1の(16,10,0.2)と(8,20,0.2)を比較すると後者のほうが遅延短縮は少ない。このことから、ミアンダの規模が一定であるならば、コーナー回数を減らし、蛇行の幅を大きくとったほうが遅延短縮を抑えることができると考えられる。

ただし、蛇行の幅を大きくすると、反射量が大きい周波数帯域があらわれた(図8, 4 GHz付近)。蛇行の幅が半波長になるときに反射のピークがあらわれると考えられる。

今回の伝送帯域では波形にほとんど影響が見ら

れなかったが、信号の伝送帯域によっては波形そのものに影響があらわれてしまうと考えられる。

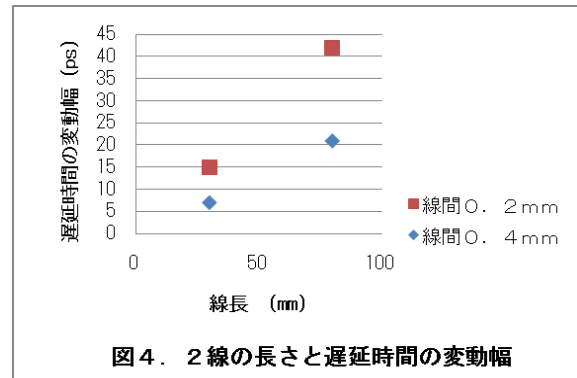


図4. 2線の長さで遅延時間の変動幅

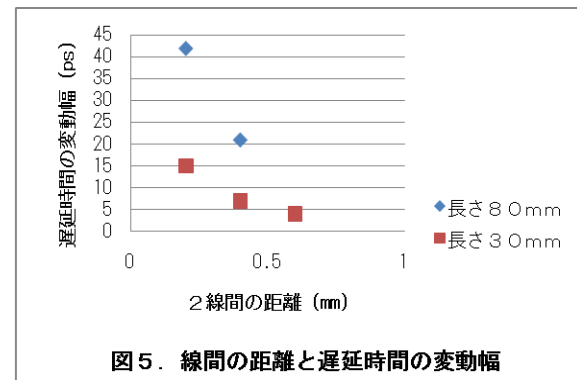


図5. 線間の距離と遅延時間の変動幅

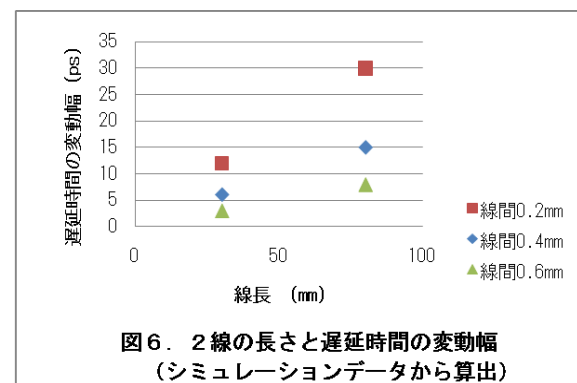


図6. 2線の長さで遅延時間の変動幅 (シミュレーションデータから算出)

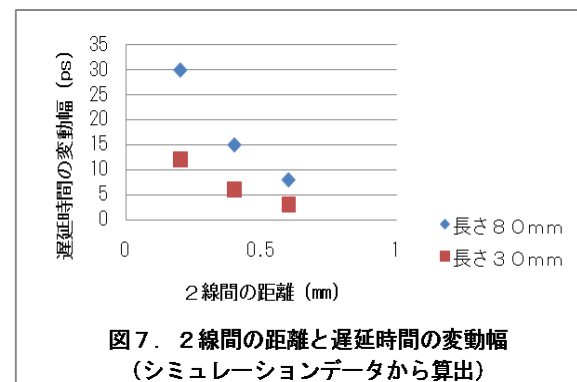
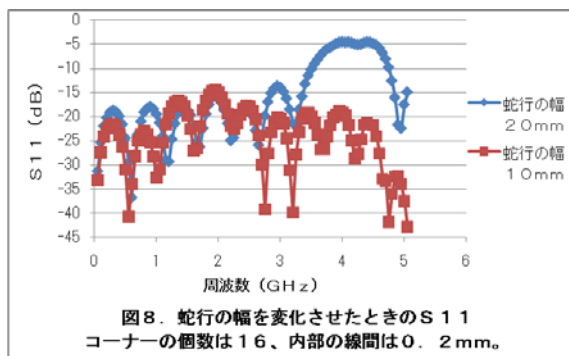


図7. 2線間の距離と遅延時間の変動幅 (シミュレーションデータから算出)

表1. ミアングダにおける遅延時間の短縮

コーナーの個数	蛇行の幅 [mm]	線間距離 [mm]	遅延短縮 [ps]
16	20	0.6	42
		0.4	85
		0.2	117
	10	0.6	23
		0.4	37
		0.2	77
8	20	0.6	23
		0.4	33
		0.2	42



3.3 スルーホール

スルーホールの個数が0(直線)のときの遅延時間からの増分を表2にまとめた。この増分については、スルーホールの個数が4のときを例にとれば、基板の厚さ(1.4mm)の4倍の配線長(5.6mm)が加わったためである。マイクロストリップライン(実効誘電率3.1とする)において、5.6mmの配線長は約33psに相当する。この値と表2の値を比較すると、同じ配線長においては、スルーホールを含む配線の遅延時間はマイクロストリップラインのみによる配線の遅延時間よりも20ps程度大きく見積もる必要がある。

ホール径による遅延時間の差は4ps以内であった。

ホール数と遅延時間の関係をみると単純な比例の関係ではない。これは波形のひずみによる影響と考えられる(図9)。

表2. スルーホールにおける遅延時間の増分

スルーホールの条件	遅延増加 (ps)
ホール径0.1mm ホール数4	55
ホール径0.2mm ホール数4	51
ホール径0.3mm ホール数4	54
ホール径0.3mm ホール数2	35

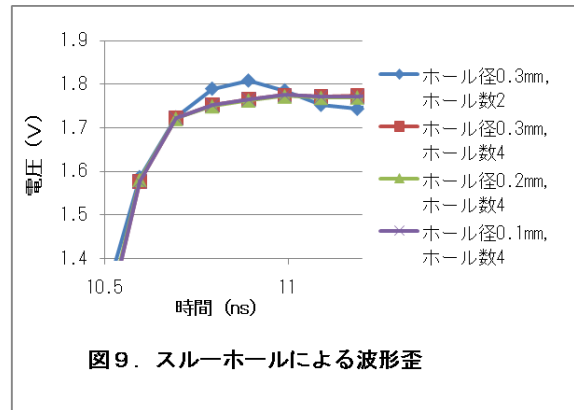


図9. スルーホールによる波形歪

4 まとめ

クロストーク、ミアングダおよびスルーホールそれぞれの遅延時間・波形の評価を行った。クロストークでは遅延時間の変動幅については最大で42ps、ミアングダでは幾何科学的に等しい配線長の等しい直線配線と比較したときの遅延時間の短縮は最大で117ps、4つのスルーホールによる遅延時間の増分については約20psであった。

単純な比較はできないが、266MHzクロックにおけるクロストークおよび配線長不整合によるタイミングバジェットはそれぞれ、±55psおよび±25psであることから、設計上無視できないことがわかった。

(1) クロストーク

遅延時間の変動幅は最大で42psであり、設計上無視できないものであることがわかった。

遅延時間の変動幅は信号の内容によって動作中に必ず変動するものなので、減らしておかなければならない。

遅延時間の変動幅が、2線の長さに比例し、2線間の距離に反比例する結果を得た。

(2) ミアングダ

幾何科学的な配線長からの遅延時間の短縮につ

いては最大で117psであり、設計上無視できないものであることがわかった。

一定の規模のミアンダにおいて線間距離が一定ならば、遅延時間の短縮による誤差を抑えるには、コーナーの回数を減らし、蛇行の幅を大きく長くすることが効果的であることがたしかめられた。

但し、蛇行の幅が半波長になると反射が大きくなり、伝送帯域によっては波形に影響を与えるので注意が必要である。

(3) スルーホール

幾何学的な配線長により見積もられる遅延時間よりも遅延が増加することが確かめられた。

4つのスルーホールで20ps増加することから、設計上無視できないものであることがわかった。

ホールの配置によって信号波形にひずみが生じるため、ホールの数と遅延時間の関係は、単純な比例ではない。

謝 辞

SONNETを用いたシミュレーションにあたり小暮特許事務所所長 小暮裕明氏からシミュレーションのノウハウ・データの解釈等において多大な御指導をいただきました。ここに深謝の意を表します。

参考文献

- 1) JEDEC , <http://www.jedec.org/standards-documents/technology-focus-areas/memory-module-design-file-registrations>, 2009. 10. 15
- 2) Micron Technology, Inc : Technical Note, TN-47-01, DDR2-533 Memory Design Guide for Two-DIMM Unbuffered Systems, 2005 (20)
- 3) Micron Technology, Inc : Technical Note, TN-47-01, DDR SDRAM Point-to-Point Simulation Process, 2005 (8)