

# リンクサーキット株式会社

## 高速デジタル回路(DDR4/PCIe GEN3)の基板設計

### 研究の狙い

伝送路シミュレーションを使用せずに高速デジタル回路の基板設計を行えるようにする。

### 研究の概要

近年のデジタル回路は、DDR4やPCI-e GEN3などの使用により、伝送速度が高速化している。そのため、事前に伝送路シミュレーションを行い、その結果を基板設計に反映し、基板を製作することが多くなっているが、シミュレーションの設備や実施は、費用と日数の面で負担となる。そこで、弊社では、埼玉県産業技術総合センターとの共同研究でのデータを基に社内設計ルールを確立し、シミュレーション無しで、DDR4や、PCI-e GEN3のような高速デジタル回路を含む基板の設計を行えるようにしました。

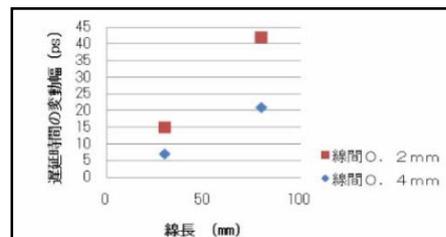
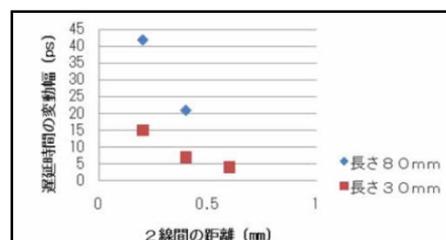
### 研究データ

右図は、埼玉県産業技術総合センターとの共同研究で実際に評価用基板を製作し、測定を行ったデータの一部で、クロストークに関するものとなります。

右上図は、2本の並行するパターンの間隔の違いで、高速デジタル信号の遅延がどのように変わるかを表しています。

右下図は、2本の並行するパターンの並走区間の距離の違いで、高速デジタル信号の遅延がどのように変わるかを表しています。

これらの共同研究の結果を基に社内の設計ルールを確立することで、シミュレーション無しでも精度の高い基板設計を行えるようにしました。



### 設計例



信号処理 / 画像処理ボード  
(株)PezyComputing様 提供

#### 仕様

CPU : PEZY-SCプロセッサ FCBGA 47.5x47.5mm 2,112pin  
PEZYコア : 1,024PE  
搭載制御用CPU : ARM926x2  
動作周波数733MHz  
消費電力 : 80Watt  
PCI-ExpressGEN3 8lane x 4  
帯域32GB/sec  
DDR4 2.4GHz 64bit 8ch  
最大容量16GB、最大帯域153.6GB/sec.  
基板 : FR-4 20層IVH (1-10層、11-20層)  
板厚2.846mm(公差 : +0.15mm - 0.1mm)

### お問い合わせ先

【所在地】 〒351 - 0104 埼玉県和光市南2 - 3 - 13 和光理研インキュベーションプラザ401  
【連絡先】 TEL : 048-299-3060 FAX : 048 - 461 - 4800 E-mail : sales@link-circuit.co.jp